

SISTEMA DE ADQUISICIÓN DE IMÁGENES LOG-POLARES CON ALTA VELOCIDAD BASADO EN BUS PCI¹

Francisco Blasco, Fernando Pardo, Jose Antonio Boluda
Dpt. Informática y Electrónica – Universidad de Valencia
C/ Dr. Moliner 50, 46100 Burjassot
Fblasco@patan.uv.es Fernando.Pardo@uv.es J.A.Boluda@uv.es

Resumen

En este artículo presentamos el trabajo que se está realizando a cabo en el departamento de Informática y Electrónica de la Universidad de Valencia, sobre la adquisición de imágenes log-polares a alta velocidad para análisis de movimiento. Las cámaras log-polares son parecidas al ojo humano, la resolución es mayor en el centro que en la periferia lo que permite una reducción selectiva de la información. El objetivo es utilizar tecnología lo más estándar posible, por lo que se ha elegido el bus PCI como medio para la comunicación entre la cámara y el procesador. Por último, la utilización de lógica programable es casi imprescindible en este tipo de diseños.

Introducción.

El ojo humano, y el de la mayoría de animales en general, presenta unas características que son la consecuencia de la evolución de una especie durante miles de años. Alguna de estas características no son caprichosas, por ejemplo la resolución mayor en el centro que en la periferia permite tener un amplio campo visual sin necesidad de aumentar enormemente la cantidad de información visual que se percibe. Sólo en las partes interesantes de lo que se percibe, habitualmente en el centro, existe una buena resolución que por otra parte no es necesaria en la periferia donde no es necesario un alto nivel de detalle.

Siguiendo esta filosofía, aparte de otras ventajas matemáticas, se han diseñado algunos sensores que presentan una distribución log-polar de los pixels [1,2]. Es polar puesto que la distribución se realiza mediante anillos concéntricos, y es logarítmica puesto que el radio de los anillos aumenta de forma exponencial.

El uso de este tipo de sensores está especialmente indicado en tareas de visión activa ya que el tener una zona de mayor resolución obliga al sistema a dirigir la atención a los puntos relevantes del entorno. Es por lo que esta cámara resulta especialmente interesante para su utilización en robots móviles.

En un robot móvil el tipo de tareas que se suelen necesitar suelen ser de tipo dinámico, es decir, las

secuencias de imágenes deben ser tales que nos permitan dar información temporal de lo que está sucediendo, o dicho de otra manera, deben permitir analizar el movimiento tanto del entorno del sistema como el movimiento propio del sistema en sí [3].

Este análisis de movimiento requiere que se tomen secuencias de imágenes a relativamente alta velocidad para que el sistema pueda reaccionar con presteza. No sólo la tasa de adquisición debe ser alta, también el procesamiento y transmisión de los datos debe hacerse en tiempo real.

Estas tasa de adquisición se consiguen con las cámaras log-polares ya que al estar concentrada la resolución en el centro, la cantidad de información por imagen es pequeña (8K). Por otro lado, si se quieren transmitir una tasa alta de imágenes debe utilizarse un bus que lo permita. En nuestro caso esta elección ha sido la del bus PCI, por un lado es suficientemente rápido, y por otro, cualquier ordenador personal actual, incluso de altas prestaciones, dispone de un bus PCI.

Nacido en el entorno de los ordenadores personales, el bus PCI (Peripheral Component Interconnect) ha sido la apuesta industrial para reducir los cuellos de botella de las arquitecturas clásicas de entrada/salida de los PC, en la transmisión de datos entre el procesador y ciertos periféricos de altas necesidades del sistema, como son adaptadores de video, tarjetas digitalizadoras o controladores de sistemas de almacenamiento de datos.

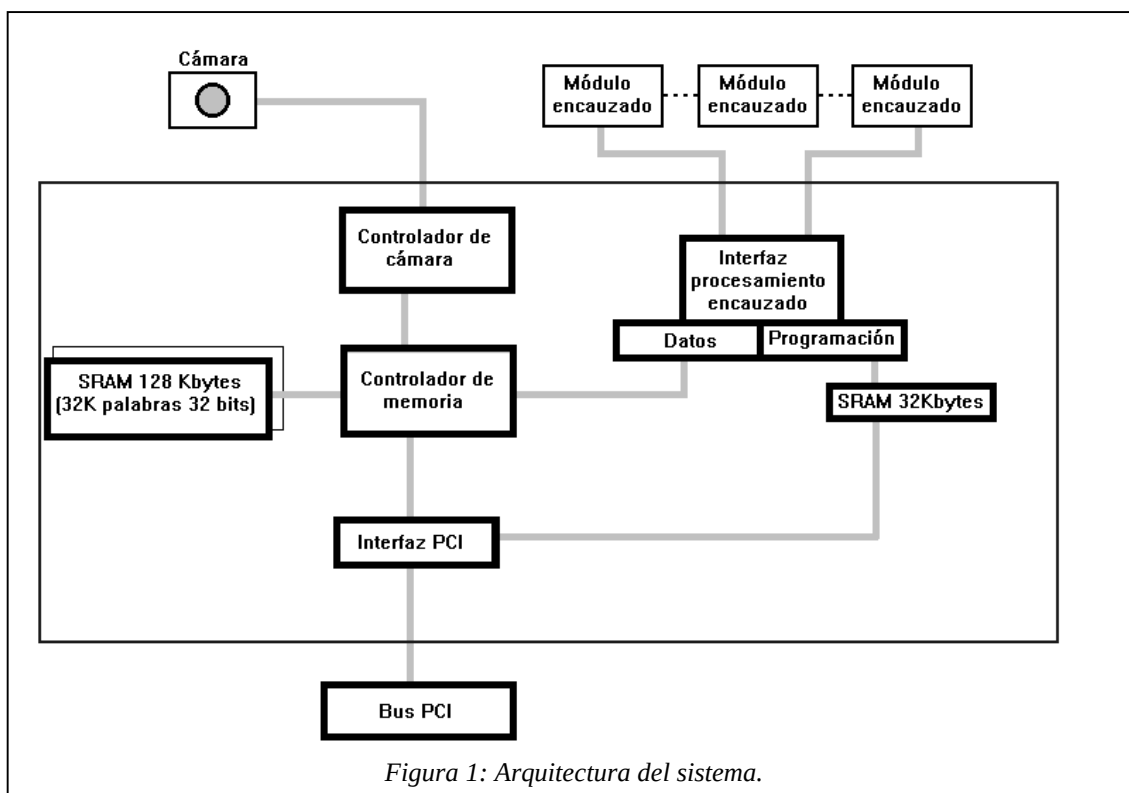
¹ Proyecto financiado en parte por el proyecto de la Generalitat Valenciana GV97-TI-05-27

Diseñado con la idea de ‘acercar’ todo lo posible los dispositivos al procesador, es un bus de carácter general, para sistemas monoprocesador o multiprocesador en los que requieran elevados anchos de banda de entrada/salida, de memoria o con necesidades temporales, combinando elevadas necesidades de integración. Algunas de las características de este bus son:

- **Configuración automática.** El host PCI identifica y configura automáticamente los dispositivos, necesidad importante en los dispositivos *Plug and Play* (PnP). Elimina la necesidad de pines o interruptores de configuración, muy comunes en los dispositivos de ISA.
- **Bajo consumo.** PCI soporta tensiones de funcionamiento de 5.0 V y 3.3 V.
- **Alta velocidad de transmisión.** Ofreciendo la posibilidad de un ancho de bus de 32 bits o 64 bits y opcionalmente transferencias en modo bloque (*burst*), los dispositivos PCI tienen un rendimiento similar al de aquellos que se conectan a buses locales de procesador.

personales, el sistema debe poseer altas prestaciones, para que los recursos del sistema sobre el que funcionará puedan ser aprovechados al máximo. Es posible el procesamiento de 50-100 imágenes por segundo, cuando el tamaño de éstas es de unos pocos Kbytes.

Los actuales componentes VLSI permiten el diseño de subsistemas que funcionen a velocidades de 30-50 MHz. El problema aparece en el interfaz de la tarjeta con el sistema *host* sobre el que funcionará, ya que todas las ventajas que se pueden obtener del uso de este tipo de imágenes pueden quedar reducidas si el procesador no es capaz de obtener de la tarjeta un mínimo de transferencia elevado, para sobrecargar poco el sistema principal en la captura de la imagen. También será necesario una relativa portabilidad del dispositivo, para no centrar el funcionamiento del sistema en los PC, y poder utilizarlo en sistemas de prestaciones más elevadas. Por ello, de entre los buses más usados en PC, el elegido ha sido el bus PCI, cuya versatilidad y prestaciones, cubre todas las necesidades.



Descripción

La aparición de sensores de imágenes log-polares, en especial el utilizado en nuestro sistema, con una baja latencia de acceso a los pixels y un tamaño de imagen de 8 KB, requiere de un hardware específico que permita la captura de imágenes, que por la propia naturaleza del sensor, poseen un tamaño y estructura especiales. Debido a la potencia de los actuales ordenadores

El sistema se divide en cuatro bloques básicos:

- **Interfaz PCI.** Encargado de traducir los ciclos de operación del bus PCI a un protocolo de operación interno más adecuado, decodificar las direcciones y manejar los registros de configuración.
- **Controlador de memoria.** Multiplexa la memoria para que pueda ser compartida por

los otros tres bloques de una manera transparente.

- **Controlador de cámara.** Genera todas las señales necesarias para el control del sensor retínico (log-polar).
- **Interfaz procesamiento encauzado.** Interfaz con un conjunto de tarjetas externas al dispositivo que realizan un procesamiento encauzado de las imágenes. Se divide en dos submódulos:
 - **Datos.** Controla el cauce de las peticiones de los datos de las imágenes.
 - **Programación.** Genera las señales necesarias para realizar la programación de la funcionalidad de las tarjetas de procesamiento encauzado.

1. Interfaz PCI

Realiza la traducción de los comandos del bus PCI a un protocolo petición-reconocimiento interno, para indicar al sistema lo que debe realizar en cada momento, independizándose así el núcleo del sistema del bus sobre el que está funcionando.

Este interfaz implementa las características mínimas de un dispositivo esclavo, más la capacidad para realizar transferencias en modo bloque (*burst mode transfers*). Comandos soportados:

- Reconocimiento de interrupción (*Interrupt Acknowledge*).
- Lectura/escritura en memoria (*memory read / memory write*).
- Configuración (*configuration read / configuration write*).

El interfaz mapea la memoria local del sistema y los registros visibles al programador, en el espacio de direcciones de memoria del sistema *host*. La dirección donde se mapean estos datos varían en función de uno de los registros de configuración, de manera que puede colocarse en la zona más conveniente del sistema *host*:

2. Controlador de memoria

Uno de los factores que más va a influir en el rendimiento del sistema es su arquitectura. Debido a que existen tres fuentes de peticiones de acceso a los datos (el interfaz de procesamiento encauzado posee dos canales, por lo que son cuatro), ya sea para leerlos o escribirlos, el sistema necesita controlar quien accede a la memoria y cuando accede. Este controlador multiplexa la memoria en cuantos de 30 ns de longitud, que son asignados dinámicamente en función de la peticiones que se haya realizado, mediante una arbitraje de prioridades, asignando a cada bloque una prioridad distinta, que aumenta en cada cuanto de espera. Con este control, los

distintos bloques ven que la memoria no es uniforme, puesto los ciclos de espera para obtener el dato varía en función de las peticiones se estén realizando a esta, pero asegura que todos los dispositivos posean el ancho de banda requerido.

	Registros	00000-00080
	Programa del sistema encauzado	08000-0FFFF
Buffer de imagenes	Frame 0	20000-23FFF
	Frame 1	24000-27FFF
	Frame 2	28000-2BFFF
	Frame 3	2C000-2FFFF
Buffer datos cauce externo	Frame 0	30000-33FFF
	Frame 1	34000-37FFF
	Frame 2	38000-3BFFF
	Frame 3	3C000-3FFFF

Figura 2. Mapa de memoria del sistema

Hay dos zonas de datos principales en la memoria, divididas cada una en cuatro bloques de datos, cuyo contenido va rotando a medida que se actualizan los datos:

- **Buffer de imágenes icónicas.** Divida en cuatro frames, el frame 0 siempre muestra la última imagen digitalizada, el frame 1, posee la penúltima imagen digitalizada, el frame 2 posee la antepenúltima, y en el frame 3 se está capturando lo que actualmente ve la cámara. Cuando se ha terminado de capturar la imagen se señala al sistema con una interrupción, y rotan los frames, pasando el número tres al cero, el cero al uno, el uno al dos, y el dos se utiliza para capturar la nueva imagen (mecanismo *quad-buffering*). Este funcionamiento es transparente al usuario.
- **Buffer de datos cauce externo.** Dividida también en cuatro bloques, almacenan los resultados que se van generando en las tarjetas externas de procesamiento encauzado. Posee un funcionamiento similar al buffer de imágenes.

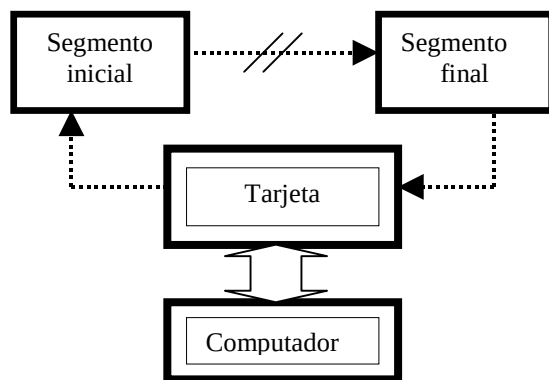
3. Controlador de cámara

Encargado de generar las señales que se envían a la cámara y sincronizar los datos que se reciben de ésta, es un sencillo dispositivo que lee los píxeles del sensor de la forma más optima posible. El sensor multiplexa las líneas de direcciones de columnas y filas, y debido a la estructura interna

del sensor, el tiempo de respuesta es mayor en un cambio de fila que en un cambio de columna. Por ello posee dos registros de temporización en la lectura de los pixels, que controlan el tiempo de intercambio de filas y columnas, midiendo de manera exacta el tiempo de lectura de una imagen, y pudiéndolo modificar para poder realizar pruebas con el sensor. Permitimos así que las imágenes tengan la mínima diferencia temporal entre el primer pixel leído y el último, reduciendo los problemas de emborronamiento que pueden aparecer durante el desplazamiento rápido de objetos en el entorno observado (*blur-motion*).

4. Interfaz de procesamiento encauzado

Externamente a la tarjeta, existe un sistema de procesamiento encauzado de imágenes formado por varias tarjetas VLSI programables idénticas (el sistema es escalable por lo que puede admitir tantas tarjetas procesadoras como se requieran), que pueden conectarse en forma de cauce (*pipeline*), situando el inicio y final del cauce en nuestro sistema [4]. La primera de las tarjetas pide datos de imágenes a la tarjeta capturadora y ésta pide los datos de los resultados del análisis a la última de las tarjetas que forma el cauce. Así, las imágenes están disponibles para ser leídas por el procesador, pero no necesitan pasar a través de ésta para ir al sistema de análisis, descargando al computador de esta tarea:



Los resultados se almacenan en el *buffer de datos cauce externo*, siguiendo la ordenación explicada en el *controlador de memoria*. Debemos hacer notar que el *frame 0* este buffer corresponde al análisis de la imagen existente en el *frame 1* del *buffer de imágenes icónicas*. Este supuesto desfase tiene sentido, pues los *frames 0* contienen los últimos datos estables, y el análisis de la imagen siempre se hace con los datos de la imagen del *frame 0*.

El protocolo de comunicación que se utiliza con el cauce externo es del tipo petición-reconocimiento (*request-acknowledge*), permitiendo que la tarjeta controle la velocidad de funcionamiento del cauce.

La funcionalidad del cauce es programable en tiempo real, de manera que en cualquier momento se puede cambiar los algoritmos empleados en el análisis de la imagen. Cada tarjeta posee un tiempo de reprogramación de 1/3 segundos aproximadamente, permitiendo reconfiguración, pero se perdería rendimiento en el sistema si la frecuencia a la que se ejecutara esto fuese muy elevada.

La programación se realiza de manera muy sencilla. Se carga el algoritmo deseado, desde una biblioteca del sistema a la zona de memoria reservada (ver *interfaz PCI*), y se le indica al sistema que tarjeta va a ser reprogramada.

Conclusiones

Se ha presentado una tarjeta para la adquisición de imágenes. Utilizando el bus PCI y la estrategia de sensorización log-polar se consiguen tasas de hasta 200 imágenes por segundo. Este sistema, conectado a un robot móvil permitirá el análisis de movimiento en tiempo real a un coste bastante asequible y con una tecnología muy convencional.

Referencias

- [1] F. Pardo, B. Dierickx and D. Scheffer Space-Variant Non-Orthogonal Structure CMOS Image Sensor Design IEEE Journal of Solid-State Circuits. Pag. 842-849, Vol. 33, No. 6, June 1998.
- [2] F. Pardo, B. Dierickx and D. Scheffer CMOS Foveated Image Sensor: Signal Scaling and Small Geometry Effects. IEEE Transactions on Electron Devices. Pag. 1731-1737, Vol. 44, No. 10, October 1997.
- [3] J.A. Boluda, J.J. Domingo, F. Pardo and J. Pelechano. Detecting motion independent of the camera movement through a log-polar differential approach. Springer Lectures Notes on Computer Science. Vol. 1296. pp: 702-710 September 1997.
- [4] J.A. Boluda, F. Pardo and J. Pelechano. Reconfigurable architectures for machine perception. An approach for autonomous vehicle navigation. Workshop on European Scientific and Industrial Collaboration on promoting advanced technologies in manufacturing, WESIC'98. Girona, Spain, June 1998. pp. 359-363.